

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210616

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

G06F 13/28

G06F 13/18

(21)Application number : 03-315880

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.1991

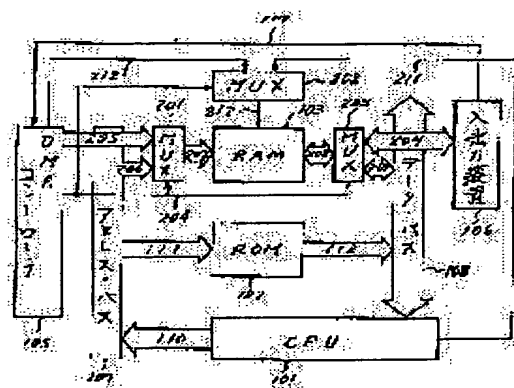
(72)Inventor : OCHI MASATOSHI
KAWADA KAZUHIDE

(54) COMPUTER DEVICE

(57)Abstract:

PURPOSE: To transfer a large quantity of data without obstructing an instruction executing speed by executing a DMA transfer at the timing of an instruction fetch in an instruction cycle.

CONSTITUTION: When a DMA requesting signal is outputted from an input/ output device 106, a DMA controller 105 is activated, and the bus selection signal of a high level is outputted in an instruction fetch cycle. That is, at the timing of the instruction fetch cycle, multiplexers (MUX) 201-203 select an exclusive address bus 205 from a DMA controller, a read/write signal 212 from the DMA controller, and an exclusive data bus 209 from the input/output device, respectively. Accordingly, in one instruction cycle, at the timing when a CPU does not make access absolutely to a RAM 103, that is, in an instruction fetch cycle 302, the DMA transfer is executed between the RAM 103 and the input/output device 106.



LEGAL STATUS

[Date of request for examination] 12.12.1997

[Date of sending the examiner's decision of rejection] 09.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-210616

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.⁵
G06F 13/28
13/18

識別記号
310 P 9072-5B
510 8841-5B

F I

審査請求 未請求 請求項の数 1 (全5頁)

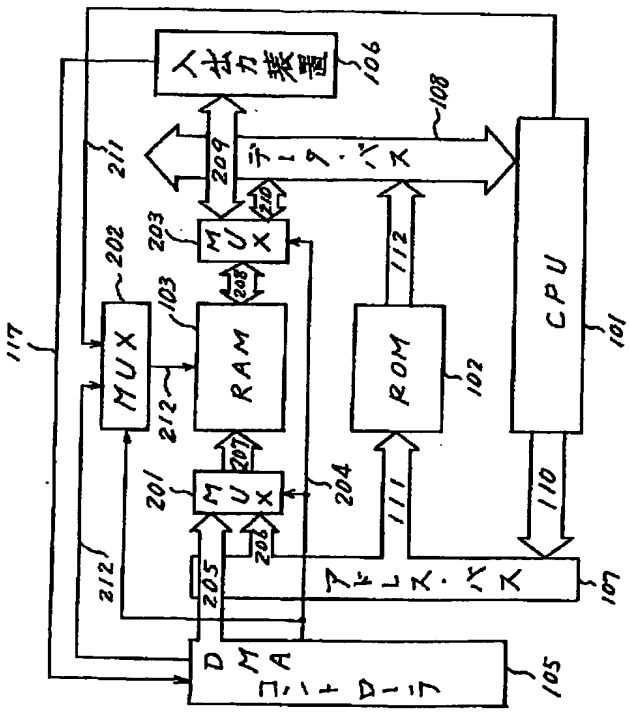
(21)出願番号	特願平3-315880	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)11月29日	(72)発明者	越智 正俊 東京都港区芝五丁目7番1号日本電気株式会社内
		(72)発明者	河田 和秀 東京都港区芝5丁目7番1号日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 コンピュータ装置

(57)【要約】

【目的】 読み書き可能記憶装置と周辺回路との間で、DMA方式によりデータを転送するとき、インストラクション・フェッチのタイミングでDMA動作を行なうことにより、命令実行をさまたげないようにする。又、本発明により、CPUと周辺回路とのRAMの競合も発生しなくなる。

【構成】 命令を記憶する読み出し専用記憶手段と、データを記憶する読み書き可能な記憶手段と、中央処理装置および入出力手段により構成され、中央処理装置が命令を読み出すタイミング、すなわち、インストラクション・フェッチの期間に、読み書き可能な記憶手段を周辺回路に開放し、周辺回路は、専用のバスを介して命令実行をさまたげることなく記憶装置をアクセスすることができる。



【特許請求の範囲】

【請求項 1】 中央処理装置と、命令を記憶する読み出し専用記憶手段と、データを記憶する読み書き可能な記憶手段および入出力手段を有するコンピュータ装置において、前記中央処理装置が前記読み出し専用記憶手段から命令を読み出す期間に、前記入出力手段と前記読み書き可能な記憶手段とを接続することを特徴としたコンピュータ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータ装置に関し、特に読み書き可能な記憶装置と周辺回路と間で、いわゆるDMA (Direct Memory Access) によってデータを転送するコンピュータ装置に関する。

【0002】

【従来の技術】従来のDMA方式による周辺回路とメモリー間のデータ転送を、図1を用いて簡単に説明する。

【0003】図1に示す従来例は、命令を実行し演算および記憶装置や周辺装置の制御を行う中央制御装置（以下、CPU）101と、命令を格納する読み出し専用記憶装置（以下、ROM）102と、データを格納する読み書き可能な記憶装置（以下、RAM）103と、DMA方式によるデータ転送を制御するDMAコントローラ105および、大量のデータ転送を必要とする入出力装置106から構成されている。また、図中のアドレス・バス107とはCPU101およびDMAコントローラ105がRAM103およびROM102にアドレスを送出するバスであり、データ・バスとはROM102から読み出された命令やRAM103に読み書きされるデータをCPU101や入出力装置106とやりとりするためのバスである。ここで、DMAコントローラ105は入出力装置106からDMA要求信号115を受け取ると活性化し、アドレス・バス107やデータ・バス108をCPU101から切り放しRAM103と入出力装置106の間での高速のデータ転送を制御するコントローラである。

【0004】DMA転送を行っていない時（以下、非DMA転送）CPU101は、ROM102から命令を読み出すインストラクション・フェッチ・サイクル（図3の302）と、読み出した命令に従ってRAM103やROM102をアクセスしたり演算を実行する実行サイクル（図3の303）とから成る命令サイクル（図3の301）を繰り返し順次命令を実行している。この時、DMAコントローラ105がバスリクエスト104をCPU101に発行すると、所定のタイミングでデータ・バス108がCPU101から解放される。これと同時に、RAM103と入出力装置106はCPU101を介さないデータ転送（DMA転送）を開始する。この時、CPU101はデータ・バス108を解放している

ので、DMA転送中は実際には命令の実行を停止している。このためCPUの実質的な命令実行速度が低下する。

【0005】ここで、DMAによるデータ転送速度を遅くして実質的なCPUの命令実行速度を上げることもできるが、入出力装置がテレビジョン受像装置に文字を表示する管面表示装置（イメージ・ディスプレイ・コントローラ、以下、IDC）のように画面表示の水平同期信号に同期してRAMを読み出す必要がある場合、水平同期信号より遅れる訳には行かないので、常時DMA転送をしなければならず、DMAによるデータ転送速度を遅くしてCPUの命令実行速度を上げることもできない。

【0006】

【発明が解決しようとする課題】従来のDMA方式によるデータ転送では、前述した通りDMA転送によってCPUの命令の実行が妨げられ実質的なCPUの命令実行速度が下がるという弊害が起きる。この時RAMとDMA転送を行う周辺装置が、IDCの様に所定のタイミングで常に大量のデータ転送を必要とする場合には、CPUの命令実行時間の多くをDMA転送に割かれてしまい高速処理を必要とする他の周辺装置およびCPUの動作に影響が出る。

【0007】

【課題を解決するための手段】本発明にかかるコンピュータ装置は、中央処理装置と、命令を記憶する読み出し専用記憶手段と、データを記憶する読み書き可能な記憶手段および入出力手段から構成され、前記中央処理装置が前記読み出し専用記憶手段から命令を読み出す期間に、前記入出力手段と前記読み書き可能な記憶手段とを接続することを特徴としている。

【0008】

【実施例】次に、図2と図3を用いて、本発明の具体的な実施例について説明する。ここで図2は、本発明のコンピュータ装置の具体的な動作を示すブロック図、また、図3は本発明にかかる基本的なバスのタイミングチャートである。尚、図1と同一のブロックについては同一の番号を付し詳しい説明を省略する。

【0009】本実施例は、従来のDMA動作を示した図1の構成に加えて、DMAコントローラから出力されるバス・セレクト信号204と、このバス・セレクト信号204が高レベルの時すなわちDMA転送時にDMAコントローラ105からの専用アドレス・バス205を、バス・セレクト信号204が低レベルの時すなわち非DMA転送時にアドレス・バス107からのバス206をそれぞれRAM103へのアドレス・バス207に接続するマルチプレクサ（以下、MUX）201と、同様にしてDMA転送時に入出力装置106からの専用データ・バス209を、非DMA転送時にデータ・バス108からのバス210をRAM103へのデータ・バス20

3

8に接続するMUX203と、DMA転送時にDMAコントローラ105からのリード・ライト信号212を、非DMA転送時にCPUからのリード・ライト信号211をRAM103へのリード・ライト信号213に出力するMUX202から構成されている。

【0010】ここで、1命令サイクル301は、インストラクション・フェッチ・サイクル302とRAM、ROMへのアクセスや演算を行う実行サイクル303から成っている。ここでインストラクション・フェッチ・サイクル302の時は、データ・バス108はROM102しかアクセスしない。

【0011】DMA要求信号117が低レベルの時（図3の307）、DMAコントローラは活性化していないのでバス・セレクト信号は低レベルになっている。したがってMUX201～203は、インストラクション・フェッチ・サイクル302でも実行サイクル303の時も、それぞれアドレス・バス107からのバス206、CPUからのリード・ライト信号211そしてデータ・バス108からのバス210を選択している。次に、入出力装置106からDMA要求信号が出力されると（図3の308）DMAコントローラ105は活性化し、インストラクション・フェッチ・サイクル302で高レベルのバス・セレクト信号を出力する。すなわち、このインストラクション・フェッチ・サイクル302のタイミングではMUX201～203はそれぞれDMAコントローラからの専用アドレス・バス205、DMAコントローラからのリード・ライト信号212そして入出力装置からの専用データ・バス209を選択する（図3の306）。これによって1命令サイクル中でCPUがRAM103を絶対にアクセスしないタイミングすなわちインストラクション・フェッチ・サイクル302で、RAM103と入出力装置106間のDMA転送が行われる。この時CPU101はその実質的な命令実行速度を妨げられていない。

【0012】次に図4を用いて本発明の第2の実施例を示す。

【0013】本実施例は、実施例1において、RAMの代わりにデュアル・ポートRAMを用いており図2におけるMUX201～203が存在しない。また、基本的な動作は図3に示すタイミングで行われる。

4

【0014】ここで、1命令サイクル301は、インストラクション・フェッチ・サイクル302とRAM、ROMへのアクセスや演算を行う実行サイクル303から成っている。ここでインストラクション・フェッチ・サイクル302の時は、データ・バス108はROM102しかアクセスしない。

【0015】DMA要求信号117が高レベルの時（図3の308）すなわちDMAコントローラ105が活性化している時、DMAコントローラ105からインストラクション・フェッチ・サイクル302で高レベルのバス・セレクト信号204が出力された時、このタイミングではCPU101は絶対にデュアル・ポートRAM401をアクセスしないのでDMAコントローラ105からのリード・ライト信号212を受けデュアル・ポートRAM401は、専用アドレス・バス402と、専用データ・バスを介してDMAコントローラと入出力装置とアクセスし、DMA転送を行う。非DMA転送時はCPUからのリード・ライト信号を受け、バス403とバス405を介して通常動作を行う。以上のようにDMA動作のタイミングとCPU101がデュアル・ポートRAM401をアクセスするタイミングは1命令サイクル301中で完全に時分割されているため、RAMの競合は発生しなくなる。

【0016】

【発明の効果】以上説明したように、本発明によるコンピュータ装置においては、命令サイクル中のインストラクション・フェッチのタイミングにDMA転送を行うことにより、DMA転送中にCPUの命令実行時間が長くなったり、RAMとしてデュアル・ポートRAMを使用した場合にRAMの競合が起きたりと言う問題を解決することができ、CPUの実質的な命令実行速度を妨げることなくRAMと入出力装置間で大量のデータの転送が可能になるという効果がある。

【図面の簡単な説明】

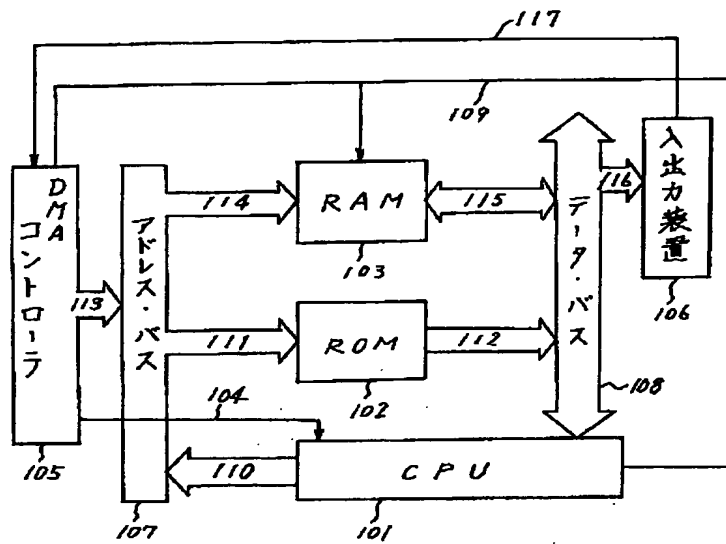
【図1】従来の技術を示すブロック図である。

【図2】本発明の一実施例を示すブロック図である。

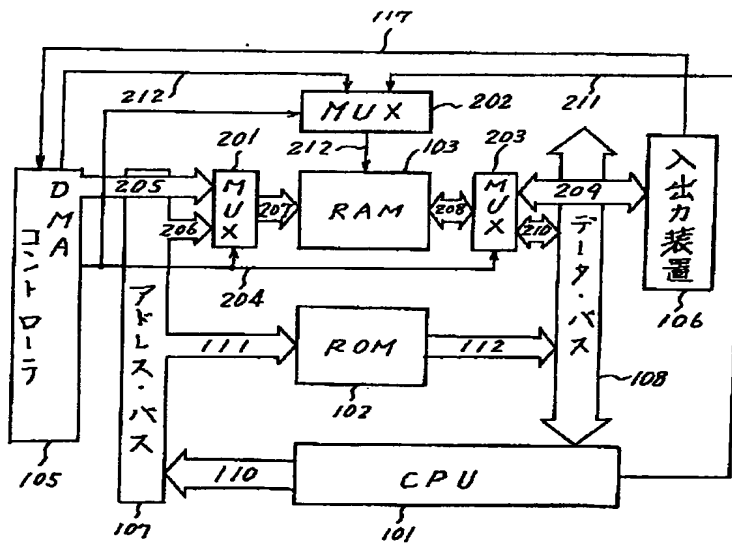
【図3】本発明におけるタイミングチャートである。

【図4】図2においてRAMをデュアル・ポートRAMに置き換えたときのブロック図である。

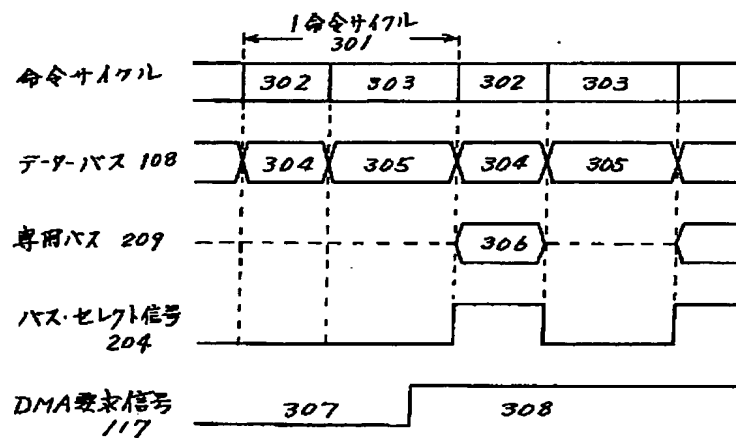
【図1】



【図2】



【図3】



【図4】

